

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

jc975 U.S. PTO
10/098551
03/18/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Slattery
#2
5-17-02

In re Patent Application of:

Sho MATSUMOTO

Application No.:

Group Art Unit:

Filed: March 18, 2002

Examiner:

For: DESIGN SYSTEM OF INTEGRATED CIRCUIT AND ITS DESIGN METHOD AND PROGRAM

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-291413

Filed: September 25, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 18, 2002

By: *H. J. Staas*
H. J. Staas
Registration No. 22,010

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月25日

出 願 番 号

Application Number:

特願2001-291413

[ST.10/C]:

[JP2001-291413]

出 願 人

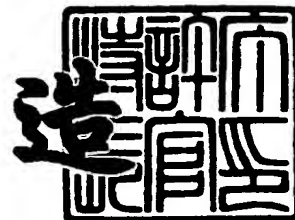
Applicant(s):

富士通株式会社

2002年 2月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3004959

【書類名】 特許願

【整理番号】 0140124

【提出日】 平成13年 9月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/00

【発明の名称】 集積回路の設計システム、集積回路の設計方法およびプログラム

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松本 祥

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路の設計システム、集積回路の設計方法およびプログラム

【特許請求の範囲】

【請求項 1】 集積回路の回路構成を示す回路情報および遅延情報に基づいて、上記集積回路のタイミング検証を行うタイミング検証手段と、

上記タイミング検証手段により確認されたタイミングエラーに応じて、上記回路情報を修正する回路修正手段と、

上記回路修正手段により修正された回路情報でのレイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定する遅延推定手段と、

上記回路修正手段により修正された回路情報および上記遅延推定手段により推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新し、上記タイミング検証手段に供給する情報更新手段とを備えることを特徴とする集積回路の設計システム。

【請求項 2】 上記遅延推定手段は、上記回路修正手段により修正された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする請求項 1 に記載の集積回路の設計システム。

【請求項 3】 上記タイミング検証手段は、上記集積回路の回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析手段と、

上記タイミング解析手段による解析結果に基づいて、上記集積回路にタイミングエラーが存在するか否かを判定する判定手段とを備えることを特徴とする請求項 1 に記載の集積回路の設計システム。

【請求項 4】 上記回路修正手段は、上記タイミング検証手段によりホールドエラーが確認されたときには、上記ホールドエラーに係る信号の伝播経路に信号を遅延させる回路素子を挿入するように上記回路情報を修正することを特徴とする請求項 1 に記載の集積回路の設計システム。

【請求項 5】 上記回路修正手段は、上記信号を遅延させる回路素子を挿入するように上記回路情報を修正したことにより、上記タイミング検証手段により

セットアップエラーが確認されたときには、上記信号を遅延させる回路素子を削除するように上記回路情報を修正することを特徴とする請求項 4 に記載の集積回路の設計システム。

【請求項 6】 回路構成を示す回路情報および遅延情報が得られている集積回路の回路情報が変更された際に、変更された回路情報でのレイアウト設計を行うことなく、上記変更された回路情報から遅延情報を推定する遅延推定手段と、

上記変更された回路情報および上記遅延推定手段により推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新する情報更新手段と、

上記情報更新手段により更新された回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析手段とを備えることを特徴とする集積回路の設計システム。

【請求項 7】 集積回路の回路構成を示す回路情報および遅延情報に基づいて、上記集積回路のタイミング検証を行い、

上記タイミング検証にてタイミングエラーが確認されたときには、上記タイミングエラーを解消するように上記回路情報を修正し、

上記修正された回路情報でのレイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定し、

上記修正された回路情報および上記推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新して上記集積回路のタイミング検証を行うことを特徴とする集積回路の設計方法。

【請求項 8】 回路構成を示す回路情報および遅延情報が得られている集積回路の回路情報が変更された際に、変更された回路情報でのレイアウト設計を行うことなく、上記変更された回路情報から遅延情報を推定し、

上記変更された回路情報および上記推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新し、

上記更新された回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うことを特徴とする集積回路の設計方法。

【請求項 9】 集積回路の回路構成を示す回路情報および遅延情報に基づいて、上記集積回路のタイミング検証を行うタイミング検証ステップと、

上記タイミング検証ステップにて確認されたタイミングエラーに応じて、上記回路情報を修正する回路修正ステップと、

上記回路修正ステップにて修正された回路情報でのレイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定する遅延推定ステップと、

上記回路修正ステップにて修正された回路情報および上記遅延推定ステップにて推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新する情報更新ステップとをコンピュータに実行させるためのプログラム。

【請求項 10】 回路構成を示す回路情報および遅延情報が得られている集積回路の回路情報に変更された際に、変更された回路情報でのレイアウト設計を行うことなく、上記変更された回路情報から遅延情報を推定する遅延推定ステップと、

上記変更された回路情報および上記遅延推定ステップにて推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新する情報更新ステップと、

上記情報更新ステップにて更新された回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析ステップとをコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路の設計システム、集積回路の設計方法およびプログラムに関し、特に、集積回路のレイアウト設計工程において、集積回路のタイミング解析および調整を行う集積回路の設計システムに用いて好適なものである。

【0002】

【従来の技術】

近年、集積回路の設計作業においては、集積回路の大規模化、高速化およびプロセスの微細化に伴って、集積回路を構成する各回路素子（論理ゲート等）のチップ上での配置および回路素子間の配線を設計するレイアウト設計が複雑化してきた。レイアウト設計では、ハードウェア記述言語等を用いて記述された論理イ

メージの回路接続情報に基づいて、実際のチップ上での物理的レイアウト、すなわち各回路素子の配置および回路素子間の配線の設計を行っていた。また、レイアウト設計は、通常、ソフトウェア等を用いて行われていた。

【 0 0 0 3 】

そして、レイアウト設計された回路を構成する回路素子およびその回路素子間の配線を示すネットリスト等の情報に基づいて、回路の正常動作を妨げるタイミングエラーがレイアウト設計された回路に存在するか否かをタイミング解析し検証していた。

【 0 0 0 4 】

ここで、タイミングエラーについて図 5 および図 6 に基づいて説明する。

図 5 は、タイミングエラーを説明するための回路模式図であり、図 6 は、上記図 5 に示す回路の動作の一例を示すタイミングチャートである。

【 0 0 0 5 】

図 5 において、4 1、4 3 は、D フリップフロップ（以下、「D F F」と称す。）であり、4 2 は加算、乗算等の論理演算を行うための組み合わせ回路である。

D F F 4 1 に入力される信号 D T 1 は、クロック信号 C L K の立ち上がり同期して D F F 4 1 から信号 D T 2 として出力される（例えば、図 6 の時刻 T_{12} ）。信号 D T 2 は、組み合わせ回路 4 2 に入力され、組み合わせ回路 4 2 にて所定の論理演算が施される。そして、組み合わせ回路 4 2 による演算結果が、信号 D T 3 として出力され、D F F 4 3 に入力される。

【 0 0 0 6 】

このとき、組み合わせ回路 4 2 から出力された信号 D T 3 が D F F 4 3 に供給される時刻は、D F F 4 1 から信号 D T 2 が出力された時刻に対して遅延（遅延時間）が生じる。これは、組み合わせ回路 4 2 による演算処理や、組み合わせ回路 4 2 を介して D F F 4 1 と D F F 4 3 との間で信号の伝播経路となる配線等によるものである。

【 0 0 0 7 】

また、一般に、同期信号（クロック信号等）に同期して、入力信号を取り込む

ＤＦＦ等の順序回路では、入力信号を取り込む時刻より以前に、入力信号を確定させ維持すべき時間としてセットアップ時間 T_s が規定されている。また同様に、順序回路では、入力信号を取り込む時刻において入力信号を取り込んだ後、入力信号の変化を禁止し維持すべき時間としてホールド時間 T_h が規定されている。そして、これらの規定された時間 T_s 、 T_h を満足することができない場合をタイミングエラーと呼び、特に、セットアップ時間 T_s の規定に違反する場合をセットアップエラーと呼び、ホールド時間 T_h の規定に違反する場合をホールドエラーと呼ぶ。

【 0 0 0 8 】

以下に、図 6 を用いてタイミングエラーについて詳細に説明する。なお、図 6 において、信号 CLK、DT 1、DT 2 は、図 5 にそれぞれ示した信号と同じである。また、信号 DT 3 - A ~ DT 3 - C は、図 5 に示した信号 DT 3 の一例をそれぞれ示すものであり、信号 DT 3 - A は、信号 DT 3 がタイミングエラーにならない場合を示している。また、信号 DT 3 - B は、信号 DT 3 がタイミングエラー（セットアップエラー）になる場合を示し、信号 DT 3 - C は、信号 DT 3 がタイミングエラー（ホールドエラー）になる場合を示している。

【 0 0 0 9 】

例えば、図 6 の信号 DT 3 - A に示すように、図 5 に示す DFF 4 1 と DFF 4 3 との間での信号の伝播により生じた遅延時間が、DFF 4 3 のホールド時間 T_h より長く、クロック周期 T と DFF 4 3 のセットアップ時間 T_s との差（ $T - T_s$ ）より短いとする。このとき、信号 DT 3 - A はホールド時間 T_h 以降、次のクロック信号 CLK の立ち上がり時刻 T_{13} に対するセットアップ時間 T_s 以前に変化する。したがって、図 5 に示す回路にはタイミングエラーは存在せず、正常に動作する。

【 0 0 1 0 】

一方、図 6 の信号 DT 3 - B に示すように、DFF 4 1 と DFF 4 3 との間での信号の伝播により生じた遅延時間が、クロック周期 T と DFF 4 3 のセットアップ時間 T_s との差（ $T - T_s$ ）より長い場合には、信号 DT 3 - B が変化する時刻は、時刻 T_{13} に対するセットアップ時間 T_s の規定を満足しない。すなわち、

DFF41から出力された信号（データ）が、次段に接続されたDFF43に伝播されるのが遅すぎる。したがって、図5に示す回路には、タイミングエラー（セットアップエラー）が存在することになる。

【0011】

また、図6の信号DT3-Cに示すように、DFF41とDFF43との間での信号の伝播により生じた遅延時間が、DFF43のホールド時間 T_h より短い場合には、信号DT3-Cは時刻 T_{12} に対するホールド時間 T_h 内に変化し、ホールド時間 T_h の規定を満足しない。すなわち、DFF41から出力された信号（データ）が、次段に接続されたDFF43に伝播されるのが早すぎる。したがって、図5に示す回路には、タイミングエラー（ホールドエラー）が存在することになる。

【0012】

したがって、集積回路の設計においては、レイアウト設計された回路のタイミング解析による検証の結果、上述したようなタイミングエラーがレイアウト設計された回路に存在する場合には、タイミングエラーが解消されるようにタイミング調整を行っていた。上記タイミング調整では、回路素子の配置および配線を変更したり、回路構成を変更（バッファの挿入等）したりしていた。

【0013】

上記タイミング調整は、タイミング解析による検証で確認されたセットアップエラーおよびホールドエラー毎にそれぞれ行われていた。また、上記タイミング調整は、一般に、他の回路に影響を与えずに単独で解消することが困難なセットアップエラーを解消するようにタイミング調整した後、ホールドエラーを解消するようにタイミング調整していた。

【0014】

【発明が解決しようとする課題】

しかしながら、従来の集積回路の設計手法においては、上述のようにタイミング解析による検証で確認されたセットアップエラーおよびホールドエラーを解消するようにそれぞれタイミング調整するたびに、レイアウト設計およびタイミング解析による検証を再び行わなければならなかった。

【 0 0 1 5 】

すなわち、従来の集積回路の設計手法により、集積回路を構成する各回路素子のチップ上での配置および回路素子間の配線を最終的に決定するレイアウト設計工程では、1回目のレイアウト設計→1回目のタイミング解析・検証→1回目のタイミング調整（セットアップエラー調整）→2回目のレイアウト設計→2回目のタイミング解析・検証→2回目のタイミング調整（ホールドエラー調整）→3回目のレイアウト設計→3回目のタイミング解析・検証と処理作業を行わなければならなかった。

しかも、近年の集積回路の大規模化（1つの集積回路を構成するゲート数の増加）により、レイアウト設計は、ソフトウェア等を用いて行ったとしても多大な時間を要する。

【 0 0 1 6 】

さらに、3回目のタイミング解析・検証にて、2回目のタイミング調整（ホールドエラー調整）において発生した新たなセットアップエラーが確認された場合には、再び1回目のタイミング調整（セットアップエラー調整）以降の処理作業を行わねばならなかった。そのため、従来のレイアウト設計工程では、レイアウト設計された回路にタイミングエラーが存在しなくなるまで、レイアウト設計、タイミング解析による検証およびタイミング調整を繰り返し行わねばならなかった。

【 0 0 1 7 】

したがって、集積回路の設計作業において、全てのタイミングエラーを解消（収束）させ、集積回路を構成する各回路素子のチップ上での配置および回路素子間の配線を設計するレイアウト設計工程には多大な時間を要してしまうという問題があった。

【 0 0 1 8 】

本発明は、このような問題を解決するためになされたものであり、集積回路設計におけるレイアウト設計工程に要する時間を短縮することができるようにすることを目的とする。

【 0 0 1 9 】

【課題を解決するための手段】

本発明の集積回路の設計システムは、集積回路のタイミング検証を行うタイミング検証手段と、上記集積回路の回路情報を修正する回路修正手段と、上記集積回路の遅延情報を推定する遅延推定手段と、上記集積回路の回路情報および遅延情報を更新し供給する情報更新手段とを備える。上記タイミング検証手段により確認されたタイミングエラーを解消するために回路修正手段にて回路情報を修正した際に、上記遅延推定手段は、レイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定する。さらに、上記修正された回路情報および推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報が上記情報更新手段により更新され、タイミング検証手段に供給される。

【0020】

上記のように構成した本発明によれば、タイミングエラーを解消するために修正した回路情報から遅延情報が直ちに推定されるので、従来の設計手法では遅延情報を得るために必須であった回路情報の修正後のレイアウト設計を行うことなく、タイミング解析による検証を行うことができるようになる。

【0021】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

図1は、本発明の一実施形態による集積回路の設計システムを適用した回路設計システムの一構成例を示すブロック図である。図1に示す回路設計システムは、レイアウト設計された回路のタイミング解析、検証およびタイミング調整を行うものである。

【0022】

図1において、情報入力部1は、本回路設計システムにてタイミング解析、検証およびタイミング調整するレイアウト設計された集積回路のネットリストおよび遅延情報を入力するためのものである。ここで、上記ネットリストは、集積回路を構成する回路素子（論理ゲート等）および回路素子間の配線に関する情報を論理イメージで示した回路情報である。また、上記遅延情報は、回路素子そのものの遅延に関する情報、および回路素子間の配線に係る配線長に依存する抵抗成

分、容量成分（配線容量、寄生容量等）、遅延時間成分（伝播信号のなまりの影響等）を示したものである。

【 0 0 2 3 】

タイミング検証部 2 は、タイミング解析部 3 および判定部 4 により構成される。

タイミング解析部 3 は、情報入力部 1 または情報更新部 7 より供給される集積回路のネットリストおよび遅延情報を用いて、タイミング解析を行う。

判定部 4 は、タイミング解析部 3 から供給されるタイミング解析結果に基づいて、集積回路にタイミングエラー（セットアップエラー、ホールドエラー）が存在するか否かを判定する。

【 0 0 2 4 】

回路修正部 5 は、判定部 4 の判定結果に応じて、タイミングエラーを解消するように集積回路のネットリスト（回路素子の構成および回路素子間の配線）に修正を施し、タイミング調整を行う。遅延推定部 6 は、回路修正部 5 にて施された集積回路に対する修正内容に従い、新たにレイアウト設計を行うことなく遅延情報を推定する。

【 0 0 2 5 】

情報更新部 7 は、回路修正部 5 にて施された集積回路に対する修正内容、および遅延推定部 6 にて推定された遅延情報に基づいて、タイミング解析部 3 にて用いられた集積回路のネットリストおよび遅延情報を更新する。情報出力部 8 は、タイミングエラーを解消するための処理が終了したとタイミング検証部 2 により判断された集積回路のネットリストおよび遅延情報を出力するためのものである。

【 0 0 2 6 】

次に、回路設計システムの動作について説明する。

図 2 は、上記図 1 に示した回路設計システムの動作を示すフローチャートである。

【 0 0 2 7 】

まず、ステップ S 1 にて、レイアウト設計された集積回路のネットリストおよ

び遅延情報を情報入力部 1 より入力する。この情報入力部 1 より入力される集積回路のネットリストおよび遅延情報は、供給されるクロック信号の周期で集積回路を動作させるために、集積回路での物理的な信号（データ）の遅延によるセットアップエラーが存在しないように既にタイミング調整されたものである。すなわち、情報入力部 1 より入力される集積回路のネットリストおよび遅延情報は、一度レイアウト設計およびタイミング解析・検証を行い、セットアップエラーを解消するためのタイミング調整が施されている。

【 0 0 2 8 】

次に、ステップ S 2 にて、タイミング検証部 2 内のタイミング解析部 3 は、上記ステップ S 1 において情報入力部 1 より入力された集積回路のネットリストおよび遅延情報を用いてタイミング解析を行う。さらに、タイミング解析部 3 は、タイミング解析結果を判定部 4 に供給する。上記タイミング解析結果には、集積回路内のフリップフロップ間の信号伝播時間およびタイミングエラー情報（セットアップエラー情報およびホールドエラー情報）等が含まれる。

【 0 0 2 9 】

ここで、上述したようにステップ S 1 にて入力される集積回路のネットリストおよび遅延情報は、セットアップエラーを解消するためのタイミング調整が施されているものである。したがって、ステップ S 2 では、実際にはタイミングエラー情報としてホールドエラー情報のみが判定部 4 に供給される。

【 0 0 3 0 】

ステップ S 3 にて、タイミング検証部 2 内の判定部 4 は、ステップ S 2 においてタイミング解析部 3 から供給されたタイミング解析結果に基づいて、ホールドエラーが集積回路に存在するか否かを判定する。上記判定の結果、ホールドエラーが集積回路に存在しないと判定された場合にはステップ S 4 に進み、タイミング検証部 2 は、上記ステップ S 1 において入力された集積回路のネットリストおよび遅延情報を情報出力部 8 を介して出力し処理を終了する。

【 0 0 3 1 】

一方、上記ステップ S 3 での判定の結果、ホールドエラーが集積回路に存在すると判定部 4 により判定された場合には、ステップ S 5 に進む。ステップ S 5 に

て、回路修正部 5 は、ホールドエラー情報に基づいて、ホールドエラーが発生する信号の伝播経路（配線）に、信号を遅延させるための回路素子（バッファ）を挿入するようにネットリストを修正してタイミング調整（ホールドエラー調整）を施す。これにより、集積回路に存在するホールドエラーを解消する。このステップ S 5 では、上記ステップ S 3 において、ホールドエラーと判定された全ての信号伝播経路（配線）に対してタイミング調整を施す。なお、上記タイミング調整（ホールドエラー調整）は、ネットリストを修正するのみでレイアウト設計は行わない。

【 0 0 3 2 】

なお、上記ステップ S 5 において施されるタイミング調整（ホールドエラー調整）は、異なる遅延時間を有する複数の種類のバッファから何れか 1 つの適切なバッファを選択し挿入するようにネットリストを修正しても良いし、一定の遅延時間を有するバッファを適切な数だけ挿入するようにネットリストを修正しても良いし、これらを併用しても良い。

【 0 0 3 3 】

次に、ステップ S 6 にて、遅延推定部 6 は、上記ステップ S 5 において施されたタイミング調整（ホールドエラー調整）によりネットリストが修正された回路部分をモデル化し、遅延情報を推定する。なお、この遅延情報を推定するためのモデル化についての詳細は後述する。

【 0 0 3 4 】

ステップ S 7 にて、情報更新部 7 は、上記ステップ S 5 において施されたタイミング調整（ホールドエラー調整）によるネットリストの修正内容、および上記ステップ S 6 において推定された遅延情報と挿入するバッファの遅延情報とに基づいて、上記ステップ S 2 でのタイミング解析に用いられた集積回路のネットリストおよび遅延情報を更新する。これにより、タイミング調整（ホールドエラー調整）により修正された結果が、集積回路のネットリストおよび遅延情報に反映される。

【 0 0 3 5 】

次に、ステップ S 8 にて、タイミング解析部 3 は、上記ステップ S 7 において

更新された集積回路のネットリストおよび遅延情報を用いてタイミング解析を行い、タイミング解析結果を判定部 4 に供給する。このステップ S 8 では、タイミング解析結果として、集積回路内のフリップフロップ間の信号伝播時間およびタイミングエラー情報（セットアップエラー情報およびホールドエラー情報）等が判定部 4 に供給される。

【 0 0 3 6 】

ステップ S 9 にて、判定部 4 は、ステップ S 8 においてタイミング解析部 3 から供給されたタイミング解析結果に基づいて、セットアップエラーが集積回路に存在するか否かを判定する。上記判定の結果、セットアップエラーが集積回路に存在すると判定された場合には、ステップ S 1 0 に進む。

【 0 0 3 7 】

ステップ S 1 0 にて、回路修正部 5 は、セットアップエラー情報に基づいて、セットアップエラーが発生する信号の伝播経路（配線）上に挿入するバッファを削除するようにネットリストを自動で修正する。この削除されるバッファは、上記ステップ S 5 においてホールドエラーを解消するために挿入するようにしたバッファである。これにより、上記ステップ S 5 でのバッファ挿入により発生した集積回路のセットアップエラーを解消する。なお、セットアップエラーが発生する信号の伝播経路（配線）上に複数のバッファが挿入されている場合には、全てのバッファを削除するようにしても良いし、一部のバッファを削除するようにしても良い。

【 0 0 3 8 】

次に、ステップ S 1 1 にて、遅延推定部 6 は、上記ステップ S 6 と同様にして、上記ステップ S 1 0 においてバッファを削除するようにした回路部分をモデル化し、遅延情報を推定する。

【 0 0 3 9 】

ステップ S 1 2 にて、情報更新部 7 は、上記ステップ S 1 0 でのネットリストの修正内容（バッファの削除）、および上記ステップ S 1 1 において推定された遅延情報と挿入するバッファの遅延情報とに基づいて、上記ステップ S 8 においてタイミング解析する際に用いた集積回路のネットリストおよび遅延情報を更新

し、ステップS8に戻る。これにより、上記ステップS10にてネットリストを修正した結果が、集積回路のネットリストおよび遅延情報に反映される。

【0040】

そして、上記ステップS8～ステップS12の処理を、上記ステップS9にてセットアップエラーが集積回路に存在しないと判定部4により判定されるまで繰り返す。

【0041】

上記ステップS9にて、セットアップエラーが集積回路に存在しないと判定部4により判定された場合には、ステップS13に進み、タイミング検証部2は、更新された集積回路のネットリストおよび遅延情報を情報出力部8を介して出力し処理を終了する。

その後、修正を終えたネットリストによりレイアウトを実施する。（その際、事前に見積りのタイミング検証を実施しているので、タイミングエラーの発生率は低い。）

【0042】

なお、上記図2に示す動作においては、ホールドエラーを解消するためのバッファを挿入する（ステップS5）ことにより新たなセットアップエラーが発生した場合には、上記ステップS10において挿入したバッファを削除する。したがって、上記ステップS5において解消したホールドエラーが再び発生することが考えられるが、ホールドエラーが再び発生した場合には、バッファの挿入位置等を指示したりすることにより変更し、再び図2に示す動作を行えば良い。

【0043】

図3（a）～（d）は、遅延推定部6が遅延情報を推定する（見積る）際の遅延回路モデルの一例を示す図である。

図3（a）～（d）において、31および32は、それぞれトランジスタで構成される回路素子（セル）であり、BF1、BF2、BF3はタイミング調整する（信号を遅延させる）ために挿入された回路素子（バッファ）である。なお、信号は回路素子31から回路素子32に伝播するものとする。

【0044】

上述したように遅延情報には、配線による抵抗成分、容量成分および遅延時間成分を有する。遅延推定部 6 は、図 3 (a) ~ (d) に示すように、各回路素子間毎に、各回路素子間を接続する配線による抵抗成分と容量成分とを、1 つの抵抗と 2 つの容量とにより表し、各回路素子間の配線をモデル化する。

【 0 0 4 5 】

上記 1 つの抵抗は、信号の伝播経路（配線）上に直列に接続される。また、上記 2 つの容量は、信号の伝播経路（配線）と、基準電圧 V_{SS} の電源層あるいは配線との間にそれぞれ並列に接続され、一方の容量は、抵抗の一端側に接続され、他方の容量は、抵抗の他端側に接続される。

なお、図 3 (a) ~ (d) において、抵抗および容量の符号に付した括弧内は、抵抗が示す抵抗成分の抵抗値、容量が示す容量成分の容量値をそれぞれ示すものとする。

【 0 0 4 6 】

①バッファが挿入されていないとき<図 3 (a)>

（元の回路の場合）

遅延推定部 6 は、図 3 (a) に示すように、回路素子 3 1 と回路素子 3 2 とを接続する配線の抵抗成分および容量成分を、抵抗値 r の抵抗 R 、容量値 $c 1$ の容量 $C 1$ 、および容量値 $c 2$ の容量 $C 2$ により表し、回路素子間の配線をモデル化する。なお、回路素子 3 1 と回路素子 3 2 とを接続する配線の配線長や配線を伝播することによる信号のなまり等による遅延時間成分は T である。

【 0 0 4 7 】

②挿入するようにしたバッファ $B F 1$ が回路素子 3 2 に仮想的に重なって配置されるとしたとき<図 3 (b)>

（挿入するバッファが回路素子 3 2 の近傍に配置されると予め仮定した場合、あるいは回路素子 3 2 側にバッファを挿入するように指示可能な場合）

遅延推定部 6 は、図 3 (b) に示すように、回路素子 3 1 と回路素子（バッファ） $B F 1$ とを接続する配線の抵抗成分および容量成分を、抵抗値 r の抵抗 R 、容量値 $c 1$ の容量 $C 1$ 、および容量値 $c 2$ の容量 $C 2$ により表し、回路素子 3 1 と回路素子 $B F 1$ とを接続する配線をモデル化する。また、回路素子 3 1 と回路

素子BF1とを接続する配線の遅延時間成分をTとする。すなわち、回路素子31と回路素子BF1とを接続する配線は、図3(a)に示した回路素子31と回路素子32とを接続する配線と等価であるとする。

【0048】

また、遅延推定部6は、回路素子BF1と回路素子32とを接続する配線の抵抗成分および容量成分を、抵抗 R_m および2つの容量 C_{m1} 、 C_{m2} により表し、回路素子BF1と回路素子32とを接続する配線をモデル化する。このとき、遅延推定部6は、抵抗 R_m の抵抗値は0とし、容量 C_{m1} の容量値 c_{m1} は、回路素子32の入力端子の容量値とし、容量 C_{m2} の容量値は0とする。また、回路素子BF1と回路素子32とを接続する配線の遅延時間成分は0とする。

【0049】

③挿入するようにしたバッファBF1が回路素子31に仮想的に重なって配置されるとき<図3(c)>

(挿入するバッファが回路素子31の近傍に配置されると予め仮定した場合、あるいは回路素子31側にバッファを挿入するように指示可能な場合)

遅延推定部6は、図3(c)に示すように、回路素子31と回路素子BF1とを接続する配線の抵抗成分および容量成分を、抵抗 R_m' および2つの容量 C_{m1}' 、 C_{m2}' により表し、回路素子31と回路素子BF1とを接続する配線をモデル化する。このとき、遅延推定部6は、抵抗 R_m' の抵抗値は0とし、容量 C_{m1}' の容量値 c_{m1}' は、回路素子BF1の入力端子の容量値とし、容量 C_{m2}' の容量値は0とする。また、回路素子31と回路素子BF1とを接続する配線の遅延時間成分は0とする。

また、遅延推定部6は、回路素子BF1と回路素子32とを接続する配線は、図3(a)に示した回路素子31と回路素子32とを接続する配線と等価であるとする。

【0050】

④挿入バッファが2個存在し、回路素子32に仮想的に重なって配置されるとき<図3(d)>

(挿入するバッファが回路素子32の近傍に配置されると予め仮定した場合、あ

るいは回路素子 3 2 側にバッファを挿入するように指示可能な場合)

遅延推定部 6 は、図 3 (d) に示すように、回路素子 3 1 と回路素子 B F 2 とを接続する配線は、図 3 (a) に示した回路素子 3 1 と回路素子 3 2 とを接続する配線と等価であるとする。

【 0 0 5 1 】

また、遅延推定部 6 は、回路素子 B F 2 と回路素子 B F 3 とを接続する配線の抵抗成分および容量成分を、抵抗 R_{m1} および 2 つの容量 C_{m3} 、 C_{m4} により表し、回路素子 B F 2 と回路素子 B F 3 とを接続する配線をモデル化する。同様に、遅延推定部 6 は、回路素子 B F 3 と回路素子 3 2 とを接続する配線の抵抗成分および容量成分を、抵抗 R_{m2} および 2 つの容量 C_{m5} 、 C_{m6} により表し、回路素子 B F 3 と回路素子 3 2 とを接続する配線をモデル化する。

【 0 0 5 2 】

このとき、遅延推定部 6 は、抵抗 R_{m1} 、 R_{m2} の抵抗値はそれぞれ 0 とし、容量 C_{m4} 、 C_{m6} の容量値は 0 とする。また、容量 C_{m3} の容量値 c_{m3} は、回路素子 B F 3 の入力端子の容量値とし、容量 C_{m5} の容量値 c_{m5} は、回路素子 3 2 の入力端子の容量値とする。回路素子 B F 2 と回路素子 B F 3 とを接続する配線、および回路素子 B F 2 と回路素子 B F 3 とを接続する配線の遅延時間成分はそれぞれ 0 とする。

【 0 0 5 3 】

このように遅延推定部 6 は、バッファの挿入位置およびバッファの挿入個数に応じて、挿入されたバッファに係る各回路素子間の配線をモデル化した上記図 3 (a) ~ (d) に示すような遅延見積りモデルを作成し、遅延情報を推定するので、タイミング調整後にレイアウト設計を行うことなく遅延情報を更新することができる。したがって、従来はタイミング調整に必ず行わねばならなかったレイアウト設計を行わずにタイミング解析・検証を行うことができる。

【 0 0 5 4 】

なお、上記図 3 においては、遅延見積りモデルの一例として、①バッファが挿入されていないとき、②挿入するようにしたバッファが回路素子 3 2 に仮想的に重なって配置されるとき、③挿入するようにしたバッファが回路素子 3 1

に仮想的に重なって配置されるときとしたとき、および④挿入バッファが2個存在し回路素子32に仮想的に重なって配置されるときについてそれぞれ示しているが、挿入バッファが2個存在し回路素子31に仮想的に重なって配置されるときと仮定したときや、挿入バッファが3個以上のときについては、上述した②～④と同様にモデル化すれば良い。

【0055】

このように修正されたネットリストに応じた遅延回路モデルを用いて遅延情報を推定し、タイミング解析を行うことにより、修正されたネットリストでのレイアウト設計を行い遅延情報を取得してタイミング解析を行ったときとほぼ同様の解析結果が得られる。本発明の発明者が行った遅延回路モデルを用いて推定した遅延情報でのタイミング解析と、レイアウト設計を行い取得した遅延情報でのタイミング解析との解析結果は、90%以上一致する。

【0056】

以上、詳しく説明したように本実施形態によれば、供給された集積回路のネットリストおよび遅延情報を用いたタイミング検証部2でのタイミング検証によりタイミングエラーが確認されたときには、回路修正部5は、上記タイミングエラーを解消するようにネットリストを修正する。さらに、遅延推定部6は、修正されたネットリストでのレイアウト設計を行うことなく、修正されたネットリストに係る回路をモデル化することにより遅延情報を推定する。そして、修正されたネットリストおよび推定した遅延情報に基づいて、集積回路のネットリストおよび遅延情報を情報更新部7にて更新して、タイミング検証部2にて再びタイミング検証を行う。

【0057】

これにより、遅延推定部6にて、あたかもレイアウト設計を行ったようにして、修正されたネットリストに係る回路をモデル化することにより修正されたネットリストでの遅延情報を直ちに推定することができ、従来の設計手法では遅延情報を得るために必須であった修正されたネットリストでのレイアウト設計を行うことなく、修正されたネットリストに係る回路のタイミング解析による検証を行うことができる。したがって、集積回路設計におけるレイアウト設計を行う回数

を減少させる、すなわち集積回路設計におけるレイアウト設計に要する時間を短縮することで、レイアウト設計、タイミング解析・検証およびタイミング調整を行うレイアウト設計工程に要する時間を短縮することができる。

【0058】

例えば、上記図2に示した集積回路の設計システムの動作では、従来の設計手法では、ステップS7およびステップS12にて遅延情報を更新するために少なくとも2回はレイアウト設計を行わなければならなかったが、本実施形態によれば、1回もレイアウト設計を行うことなく、遅延情報を更新することができる。

【0059】

なお、以上に説明した本実施形態の集積回路の設計システムは、コンピュータのCPUあるいはMPU、RAM、ROMなどで構成できるものであり、RAMやROMに記憶されたプログラムが動作することによって実現でき、上記プログラムは本発明の実施形態に含まれる。また、コンピュータが上記機能を果たすように動作させるプログラムを、例えばCD-ROMのような記録媒体に記録し、コンピュータに読み込ませることによって実現できるものであり、上記プログラムを記録した記録媒体は本発明の実施形態に含まれる。上記プログラムを記録する記録媒体としては、CD-ROM以外に、フレキシブルディスク、ハードディスク、磁気テープ、光磁気ディスク、不揮発性メモ리카ード等を用いることができる。

【0060】

また、コンピュータが供給されたプログラムを実行することにより上述の実施形態の機能が実現されるだけでなく、そのプログラムがコンピュータにおいて稼働しているOS（オペレーティングシステム）あるいは他のアプリケーションソフト等と共同して上述の実施形態の機能が実現される場合や、供給されたプログラムの処理の全てあるいは一部がコンピュータの機能拡張ボードや機能拡張ユニットにより行われて上述の実施形態の機能が実現される場合も、かかるプログラムは本発明の実施形態に含まれる。

また、本発明をネットワーク環境で利用するべく、全部あるいは一部のプログラムが他のコンピュータで実行されるようになっていても良い。

【 0 0 6 1 】

例えば、本実施形態に示した集積回路の設計システムは、図 4 に示すようなコンピュータ機能 5 0 を有し、その CPU 5 1 により本実施形態での動作が実施される。

【 0 0 6 2 】

コンピュータ機能 5 0 は、上記図 4 に示すように、CPU 5 1 と、ROM 5 2 と、RAM 5 3 と、キーボード (KB) 5 9 のキーボードコントローラ (KBC) 5 5 と、表示部としての CRT ディスプレイ (CRT) 6 0 の CRT コントローラ (CRTC) 5 6 と、ハードディスク (HD) 6 1 およびフレキシブルディスク (FD) 6 2 のディスクコントローラ (DKC) 5 7 と、ネットワークインタフェースカード (NIC) 5 8 とが、システムバス 5 4 を介して互いに通信可能に接続された構成としている。

【 0 0 6 3 】

CPU 5 1 は、ROM 5 2 あるいは HD 6 1 に記憶されたソフトウェア (プログラム)、あるいは FD 6 2 より供給されるソフトウェア (プログラム) を実行することで、システムバス 5 4 に接続された各構成部を総括的に制御する。

すなわち、CPU 5 1 は、上述したような動作を行うための処理プログラムを、ROM 5 2、あるいは HD 6 1、あるいは FD 6 2 から読み出して実行することで、本実施形態での動作を実現するための制御を行う。

【 0 0 6 4 】

RAM 5 3 は、CPU 5 1 の主メモリあるいはワークエリア等として機能する。

KBC 5 5 は、KB 5 9 や図示していないポインティングデバイス等からの指示入力を制御する。

CRTC 5 6 は、CRT 6 0 の表示を制御する。

DKC 5 7 は、ブートプログラム、種々のアプリケーション、ユーザファイル、ネットワーク管理プログラム、および本実施形態における上記処理プログラム等を記憶する HD 6 1 および FD 6 2 とのアクセスを制御する。

NIC 5 8 はネットワーク 6 3 上の他の装置と双方向にデータをやりとりする

【 0 0 6 5 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【 0 0 6 6 】

（付記 1）集積回路の回路構成を示す回路情報および遅延情報に基づいて、上記集積回路のタイミング検証を行うタイミング検証手段と、

上記タイミング検証手段により確認されたタイミングエラーに応じて、上記回路情報を修正する回路修正手段と、

上記回路修正手段により修正された回路情報でのレイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定する遅延推定手段と、

上記回路修正手段により修正された回路情報および上記遅延推定手段により推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新し、上記タイミング検証手段に供給する情報更新手段とを備えることを特徴とする集積回路の設計システム。

【 0 0 6 7 】

（付記 2）上記遅延推定手段は、上記回路修正手段により修正された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする付記 1 に記載の集積回路の設計システム。

（付記 3）上記遅延回路モデルは、上記集積回路を構成する回路素子間の信号の伝播経路を、1つの抵抗と2つの容量とを用いて模式化したモデルであることを特徴とする付記 2 に記載の集積回路の設計システム。

【 0 0 6 8 】

（付記 4）上記タイミング検証手段は、上記集積回路の回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析手段と、

上記タイミング解析手段による解析結果に基づいて、上記集積回路にタイミン

グエラーが存在するか否かを判定する判定手段とを備えることを特徴とする付記 1 に記載の集積回路の設計システム。

【 0 0 6 9 】

（付記 5）上記回路修正手段は、上記タイミング検証手段によりホールドエラーが確認されたときには、上記ホールドエラーに係る信号の伝播経路に信号を遅延させる回路素子を挿入するように上記回路情報を修正することを特徴とする付記 1 に記載の集積回路の設計システム。

（付記 6）上記回路修正手段は、上記信号を遅延させる回路素子を挿入するように上記回路情報を修正したことにより、上記タイミング検証手段によりセットアップエラーが確認されたときには、上記信号を遅延させる回路素子を削除するように上記回路情報を修正することを特徴とする付記 5 に記載の集積回路の設計システム。

【 0 0 7 0 】

（付記 7）回路構成を示す回路情報および遅延情報が得られている集積回路の回路情報が変更された際に、変更された回路情報でのレイアウト設計を行うことなく、上記変更された回路情報から遅延情報を推定する遅延推定手段と、

上記変更された回路情報および上記遅延推定手段により推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新する情報更新手段と、

上記情報更新手段により更新された回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析手段とを備えることを特徴とする集積回路の設計システム。

【 0 0 7 1 】

（付記 8）上記遅延推定手段は、上記変更された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする付記 7 に記載の集積回路の設計システム。

（付記 9）上記遅延回路モデルは、上記集積回路を構成する回路素子間の信号の伝播経路を、1つの抵抗と2つの容量とを用いて模式化したモデルであることを特徴とする付記 8 に記載の集積回路の設計システム。

【 0 0 7 2 】

（付記 1 0）集積回路の回路構成を示す回路情報および遅延情報に基づいて、上記集積回路のタイミング検証を行い、

上記タイミング検証にてタイミングエラーが確認されたときには、上記タイミングエラーを解消するように上記回路情報を修正し、

上記修正された回路情報でのレイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定し、

上記修正された回路情報および上記推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新して上記集積回路のタイミング検証を行うことを特徴とする集積回路の設計方法。

【 0 0 7 3 】

（付記 1 1）上記遅延情報を推定する際、上記修正された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする付記 1 0 に記載の集積回路の設計方法。

（付記 1 2）上記回路情報を修正する際、上記タイミング検証にてホールドエラーが確認されたときには、上記ホールドエラーに係る信号の伝播経路に信号を遅延させる回路素子を挿入するように上記回路情報を修正することを特徴とする付記 1 0 に記載の集積回路の設計方法。

（付記 1 3）更新した集積回路の回路情報および遅延情報に基づいてタイミング検証を行った際に、上記信号を遅延させる回路素子を挿入するように回路情報を修正したことにより、上記タイミング検証にてセットアップエラーが確認されたときには、上記信号を遅延させる回路素子を削除するように上記回路情報を修正することを特徴とする付記 1 2 に記載の集積回路の設計方法。

【 0 0 7 4 】

（付記 1 4）回路構成を示す回路情報および遅延情報が得られている集積回路の回路情報が変更された際に、変更された回路情報でのレイアウト設計を行うことなく、上記変更された回路情報から遅延情報を推定し、

上記変更された回路情報および上記推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新し、

上記更新された回路情報および遅延情報に基づいて、上記集積回路のタイミン

グ解析を行うことを特徴とする集積回路の設計方法。

(付記 1 5) 上記遅延情報を推定する際、上記変更された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする付記 1 4 に記載の集積回路の設計方法。

【 0 0 7 5 】

(付記 1 6) 集積回路の回路構成を示す回路情報および遅延情報に基づいて、上記集積回路のタイミング検証を行うタイミング検証ステップと、

上記タイミング検証ステップにて確認されたタイミングエラーに応じて、上記回路情報を修正する回路修正ステップと、

上記回路修正ステップにて修正された回路情報でのレイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定する遅延推定ステップと、

上記回路修正ステップにて修正された回路情報および上記遅延推定ステップにて推定された遅延情報に基づいて、上記集積回路の回路情報および遅延情報を更新する情報更新ステップとをコンピュータに実行させるためのプログラム。

【 0 0 7 6 】

(付記 1 7) 上記遅延推定ステップは、上記回路修正ステップにて修正された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする付記 1 6 に記載のプログラム。

(付記 1 8) 上記タイミング検証ステップは、上記集積回路の回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析ステップと、

上記タイミング解析ステップでの解析結果に基づいて、上記集積回路にタイミングエラーが存在するか否かを判定する判定ステップとを有することを特徴とする付記 1 6 に記載のプログラム。

【 0 0 7 7 】

(付記 1 9) 回路構成を示す回路情報および遅延情報が得られている集積回路の回路情報が変更された際に、変更された回路情報でのレイアウト設計を行うことなく、上記変更された回路情報から遅延情報を推定する遅延推定ステップと、

上記変更された回路情報および上記遅延推定ステップにて推定された遅延情報

に基づいて、上記集積回路の回路情報および遅延情報を更新する情報更新ステップと、

上記情報更新ステップにて更新された回路情報および遅延情報に基づいて、上記集積回路のタイミング解析を行うタイミング解析ステップとをコンピュータに実行させるためのプログラム。

(付記 20) 上記遅延推定ステップは、上記変更された回路情報に応じた遅延回路モデルを作成し、遅延情報を推定することを特徴とする付記 19 に記載のプログラム。

【 0 0 7 8 】

【発明の効果】

以上説明したように、本発明によれば、タイミング検証により確認されたタイミングエラーを解消するために回路情報を修正した際に、レイアウト設計を行うことなく、上記修正された回路情報から遅延情報を推定し、集積回路の回路情報および遅延情報を更新してタイミング検証を再び行う。

【 0 0 7 9 】

これにより、従来の設計手法では遅延情報を得るために必須であった回路情報の修正後のレイアウト設計を行うことなく、修正された回路情報から遅延情報を直ちに推定し、タイミング解析による検証を行うことができる。したがって、回路情報の修正後のレイアウト設計に要する時間を省き、集積回路設計におけるレイアウト設計工程に要する時間を短縮することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態による集積回路の設計システムを適用した回路設計システムの一構成例を示すブロック図である。

【図 2】

本実施形態による回路設計システムの動作を示すフローチャートである。

【図 3】

遅延情報を見積るための遅延回路モデルの一例を示す図である。

【図 4】

集積回路の設計システムを実現可能なコンピュータの一構成例を示すブロック図である。

【図 5】

タイミングエラーを説明するための回路模式図である。

【図 6】

図 5 に示す回路の動作の一例を示すタイミングチャートである。

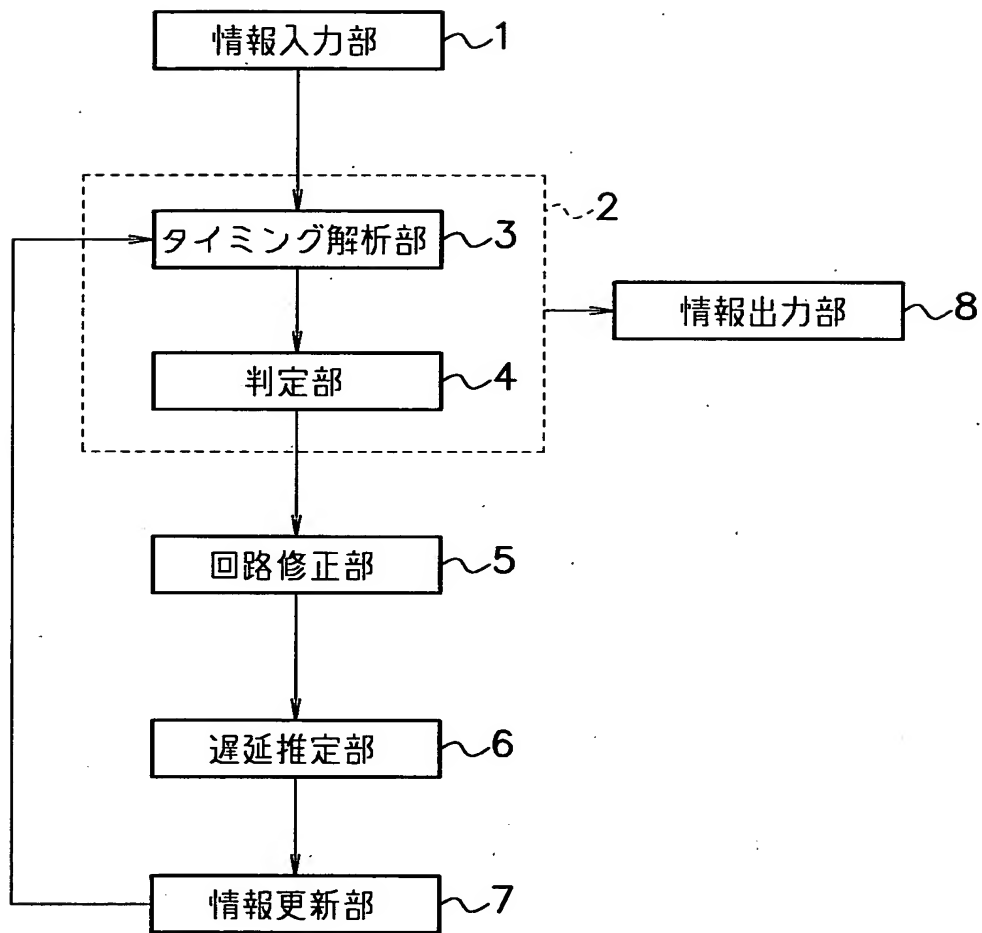
【符号の説明】

- 1 情報入力部
- 2 タイミング検証部
- 3 タイミング解析部
- 4 判定部
- 5 回路修正部
- 6 遅延推定部
- 7 情報更新部
- 8 情報出力部

【書類名】

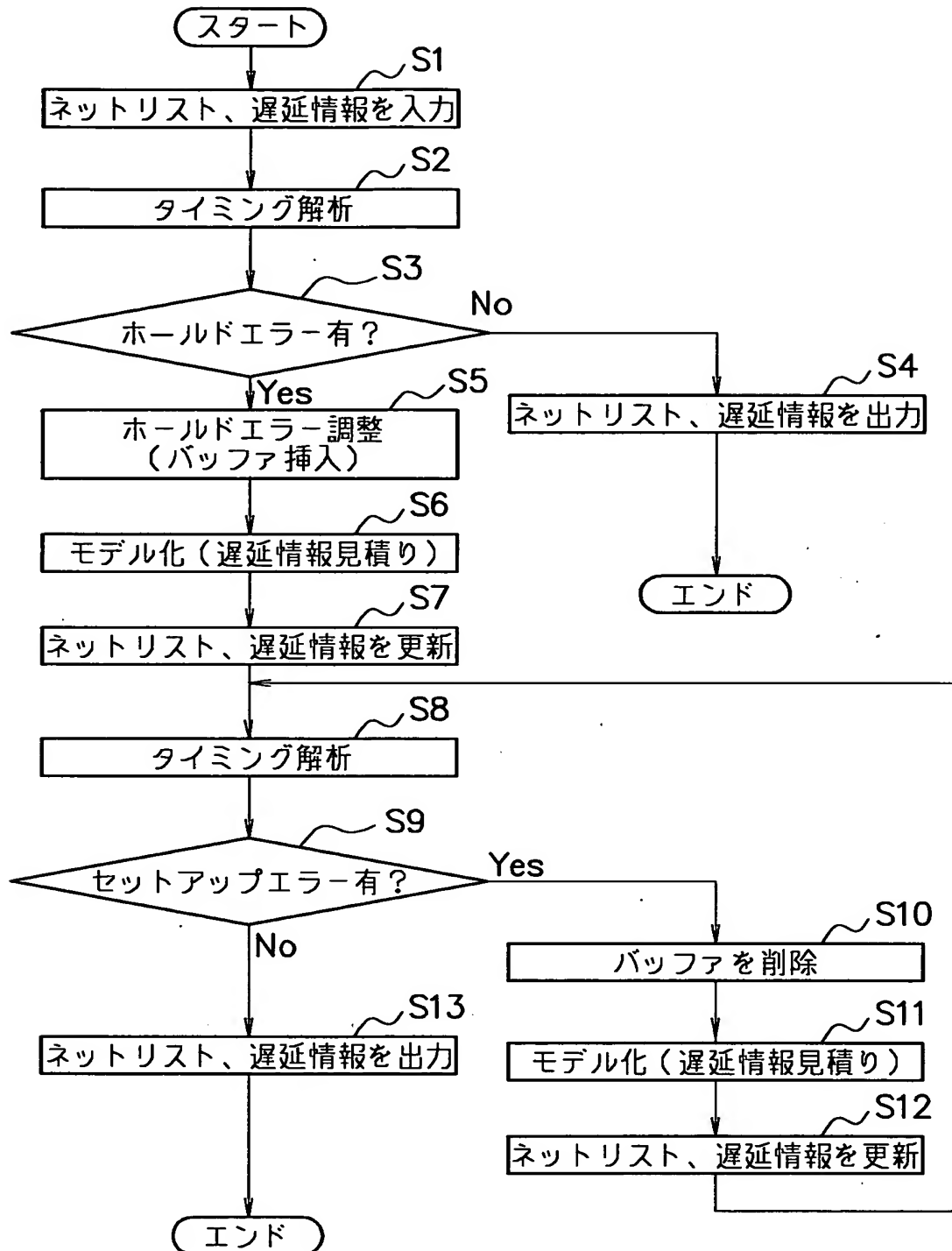
図面

【図 1】



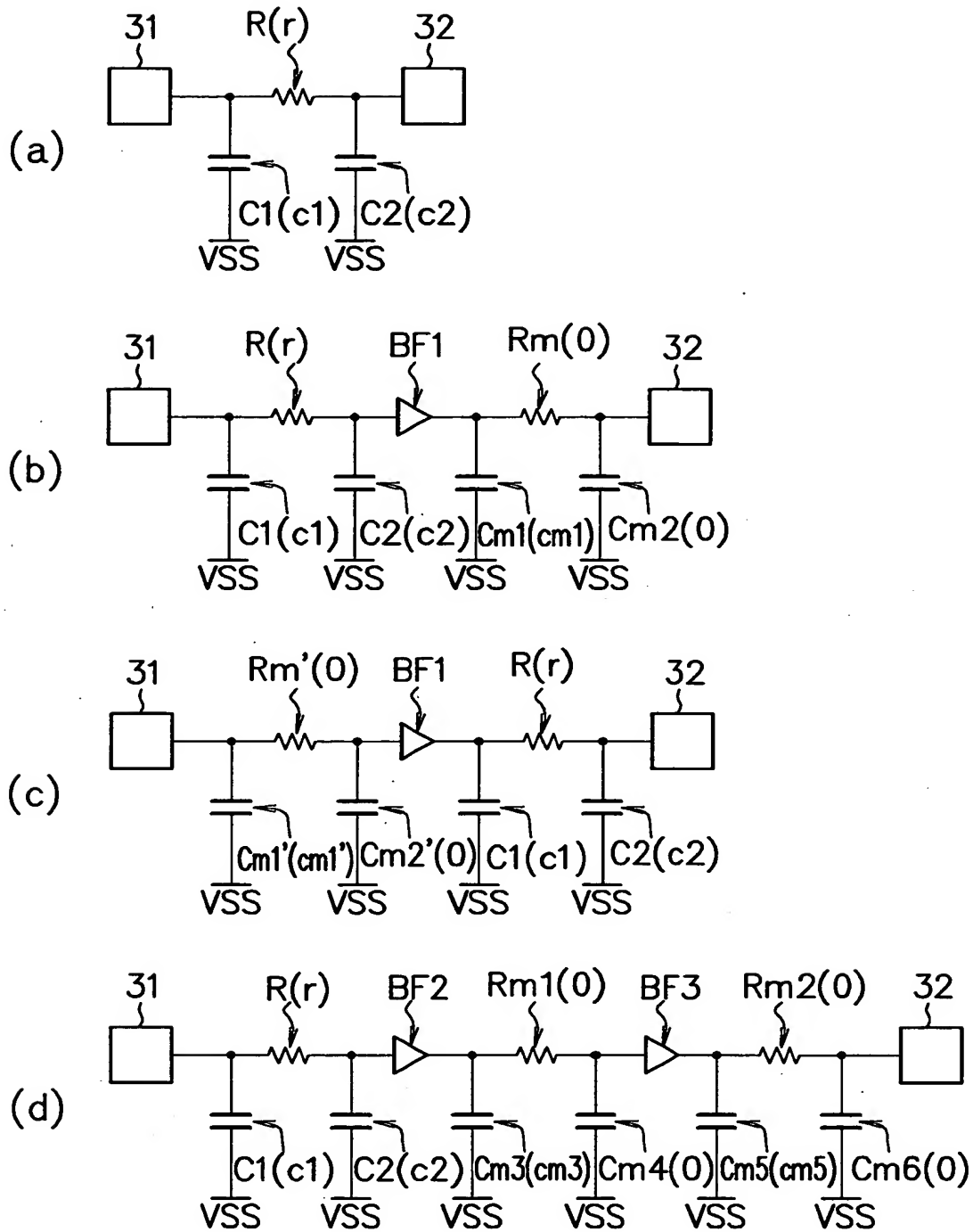
回路設計システムの構成例

【図 2】



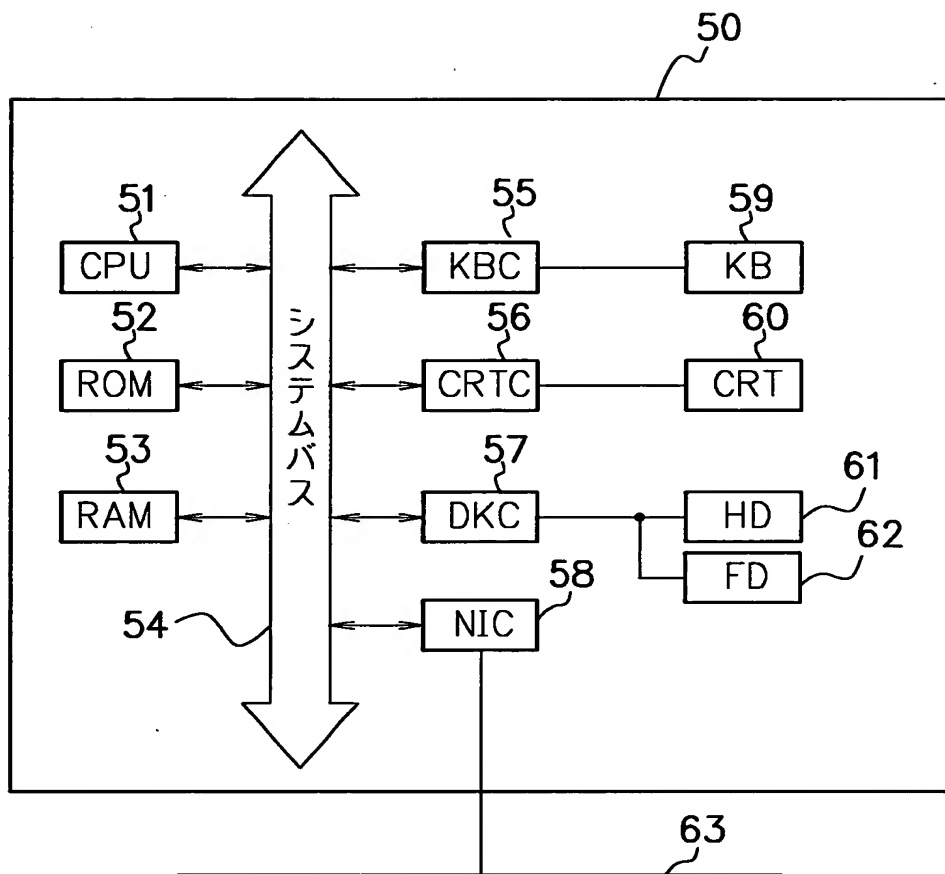
回路設計システムの動作を示すフローチャート

【図 3】



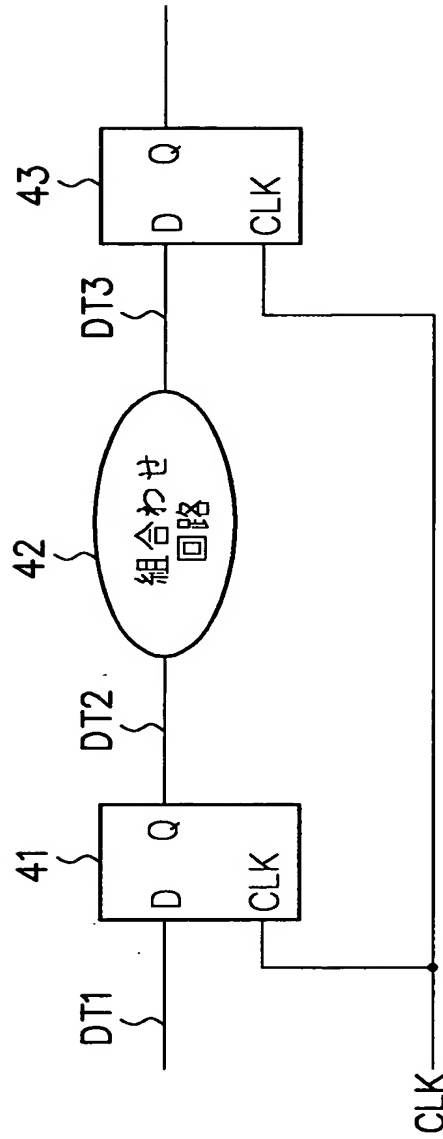
遅延回路モデルの例

【図4】



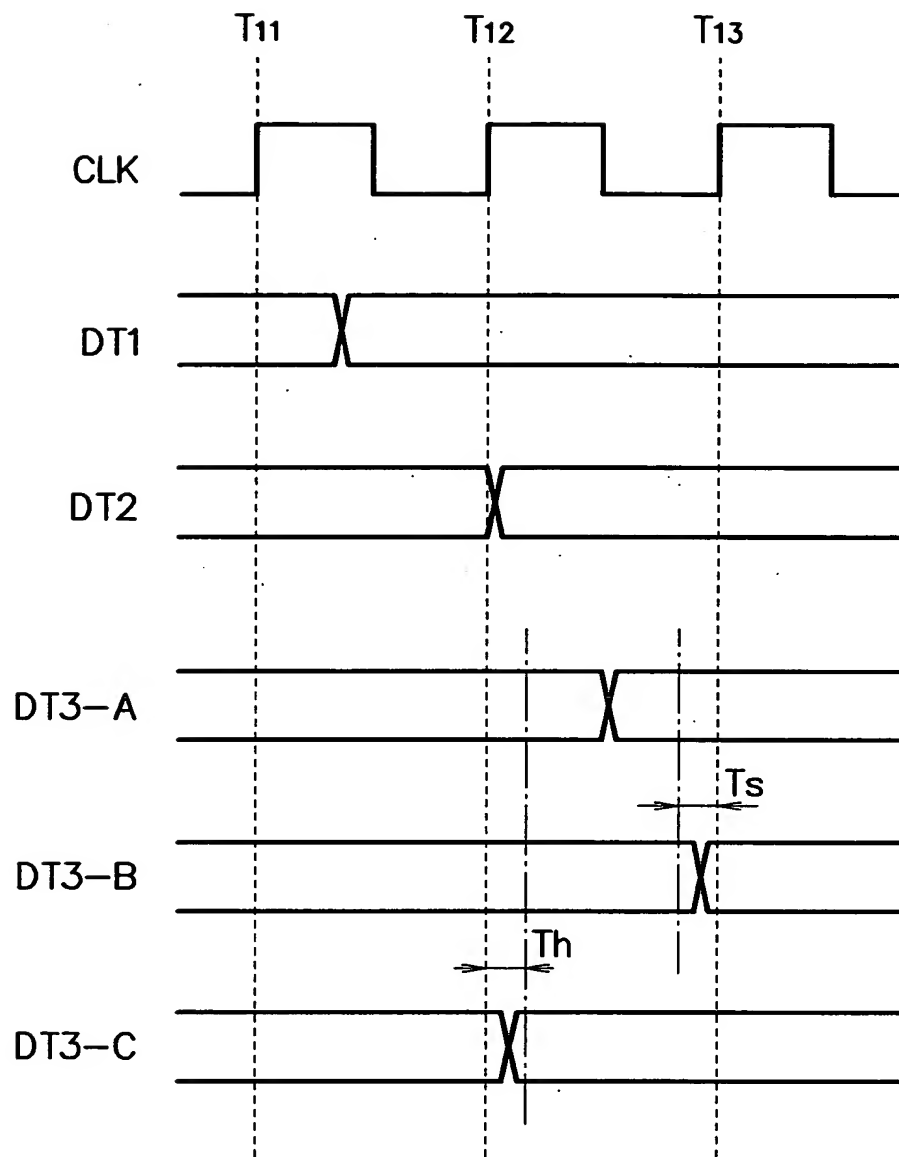
集積回路の設計システムを実現するコンピュータの構成例

【図 5】



タイミングエラーを説明するための回路模式図

【図 6】



タイミングエラーを説明するためのタイミングチャート

【書類名】 要約書

【要約】

【課題】 集積回路設計におけるレイアウト設計工程に要する時間を短縮することができるようにする。

【解決手段】 タイミング検証部 2 でのタイミング検証の結果に応じて、回路修正部 5 にて集積回路の回路情報を修正し、遅延推定部 6 により修正された回路情報に係る回路をモデル化して遅延情報を推定し、集積回路の回路情報および遅延情報を情報更新部 7 にて更新し再びタイミング検証を行うようにして、従来の設計手法では必須であった修正された回路情報でのレイアウト設計を行うことなく、修正された回路のタイミング解析・検証を行い、集積回路設計におけるレイアウト設計を行う回数を減少し、レイアウト設計に要する時間を短縮することで、レイアウト設計工程（レイアウト設計、タイミング解析・検証およびタイミング調整）に要する時間を短縮することができるようにする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社